# —研究紹介－
# 半導体シリコンとスピントロニクスを融合する基盤技術の開発

2018.09.25

先端機能素子開発部　鈴木淑男


## 【概要】

シリコンを用いるスピントロニクスデバイスの研究開発に必須となる成膜技術と素子作製プロセス技術を構築しました。当センターオリジナルの表面・界面解析技術と量子力学計算に基づき、トンネル接合におけるポテンシャル障壁の設計指針を提案し、強磁性体からシリコンへのスピン注入効率が向上することを実証しました。今後、シリコンスピントランジスターの研究開発を進めるとともに、本研究で構築した基盤技術を用いる技術支援や技術展開を行いたいと考えています。


## 【技術分野とキーワード】

- ・成膜・薄膜技術：　シリコン表面清浄化、分子線エピタキシー法
- ・表面・界面解析技術：　表面ポテンシャル、仕事関数、RHEED[*a]、XRR[*b]、ESR[*c]
  [*a]：反射高速電子回折、[*b]：X線反射率法、[*c]：電子スピン共鳴
- ・微細加工技術：　フォトリソグラフィー、ウエットエッチングプロセス
- ・スピンデバイス技術：　スピン注入、磁気抵抗効果、トンネル接合、ポテンシャル障壁
  シリコン、SOI基板、MgO、FeCo

## 【研究の背景】

巨大磁気抵抗効果（GMR）の発見と室温トンネル磁気抵抗効果（TMR）の発見に端を発し、スピントロニクスと呼ばれる研究分野が注目されています。産業としても、ハードディスクドライブ用の再生ヘッドや高感度の磁気センサー、さらには磁気ランダムアクセスメモリー（MRAM）へと応用範囲を広げ、市場のさらなる成長が期待されています。

一方、従来のシリコンMOSトランジスターにスピントロニクス技術を融合させたシリコンスピントランジスターは、微細化限界や消費エネルギー問題を打破するBeyond-CMOSとして期待され、半導体国際ロードマップ（IRDS/ITRS）の半導体スピンデバイスにおける旗艦デバイスとしてリストアップされています。

当センターでは、シリコンスピントランジスターを実現するためのキーテクノロジーとなるシリコンへのスピン注入技術に関して企業および大学との共同研究を行い、2011年に世界初となる室温におけるシリコンへのスピン注入に成功しています[1,2)]。

本報告は、当センターにて構築したシリコンスピンデバイスに関する基盤技術と科研費挑戦的萌芽研究“非対称なポテンシャル障壁を用いるシリコンへのスピン注入（2014年度－2016年度）”の成果の概要、そして最近の研究進捗を紹介します。

## 【研究内容・成果】

### 1. 世界初となるシリコンに格子整合するMgO成膜技術

スピン偏極した電子をシリコンに注入するためには、積層膜とシリコンの界面を、最先端のMOSトランジスターの界面と同等以上に設計・制御する必要があると考え、シリコン基板の表面制御を最重要課題としました。そして独自の洗浄方法を構築し、超高真空下における加熱清浄化との併用により、原子レベルの平坦化を実現しました[3)]。さらに、スピンに対する選択性を発現するトンネル障壁として、シリコン上にMgO薄膜を積層することに挑戦し、分子線エピタキシー法を用いる成膜技術を構築しました。

図1の透過電子顕微鏡写真は、シリコン上に積層したMgO膜さらにはFe膜のすべてが格子整合していることを示しています。従来、MgO/Si系は、界面にアモルファス相が形成したり、“cubic on cubic” と呼ばれる成長による格子ミスマッチの大きな非整合配列[4)]の積層界面になることが知られています。これに対し本研究では、界面においてMgOとSiが格子整合する積層構造が得られることを示しました。この結果はMgO/Si系における整合配列[5,6)]を初めて実現したものであり、企業との共同研究の成果として米国特許を取得しています[7)]。

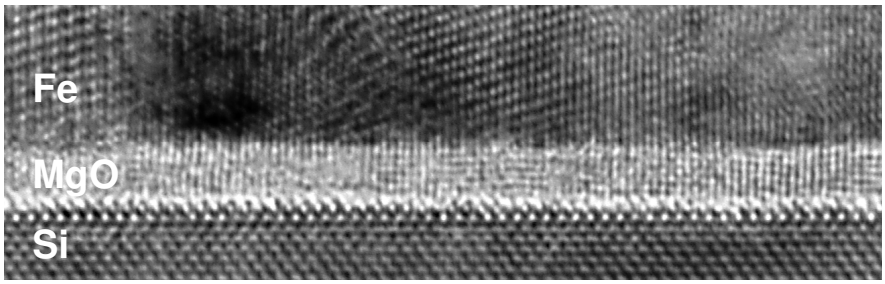



図1. 積層膜断面の透過電子顕微鏡写真[7)]. 積層構造:Ti(3 nm)/Fe(13 nm)/MgO(1.4 nm)/Si(100) .

### 2. 表面ポテンシャル(仕事関数)測定技術

表面・界面の評価法としてはRHEED[3)]、XRR[8)]、ESR[9)]等があり、本研究でも活用しています。

これらに加え本研究では、最表面の電子状態の変化を反映する表面ポテンシャル(仕事関数)を評価できる測定系を構築しました。ケルビンプローブと呼ばれる測定プローブを分子線エピタキシー装置にセットアップし、試料と測定プローブをマニュピュレートする独自の機構を開発することにより、真空ポンプやクリンルームの振動下、超高真空(<2E-8 Pa)環境下で±5 meV以内の再現性が得られる測定系となっています。この測定系により、基板表面の清浄度や表面原子配列の再構成(Si_1×1、水素化2×1、規則化2×1、等)に伴うポテンシャルの変化、さらには超薄膜の積層化による変化などを評価できます。

図2は表面ポテンシャルのMgO薄膜の積層膜厚依存性であり、シリコンの清浄化温度の違いによりMgO/Si界面における界面分極の大きさやMgO膜質が異なっていることを示しています。これらは、トンネル接合を用いるデバイス特性を解析する上で極めて重要な知見になります。後述の非対称ポテンシャル障壁のアイディアは、この測定結果の解析がきっかけで生まれました。

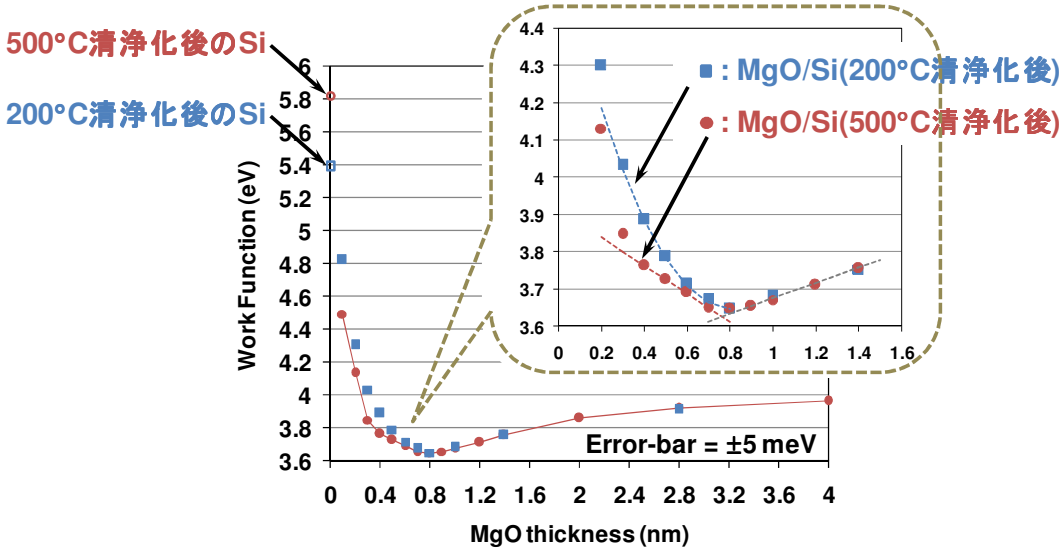



図2. MgO薄膜の表面ポテンシャルの積層膜厚依存性[10)]. 表面ポテンシャルを仕事関数に換算して表示.

## 3. ウエットエッチングプロセスによる素子作製技術

金属系のスピンデバイスでは、素子作製プロセスにアルゴンイオンミリングを用いる微細加工プロセスが一般に用いられます。一方、本研究では、シリコンのメサ構造の形成や積層膜に対する微細加工のすべてをウエットエッチングプロセスで行う素子作製技術を構築しました。

図3に、素子の光学顕微鏡写真と原子間力顕微鏡（AFM）で測定した素子高さ方向のプロファイルを示します。三端子電極を有する素子分離されたメサ構造（250 μm×850 μm）がBOX（埋め込み酸化膜）上に形成されています。積層膜の層構造はTi/FeCo/MgO/[SOI:Si(105 nm)/BOX(400 nm)/Si(725 μm)]で、パターンニングはフォトリソグラフィーを用いています。中心電極サイズは10 μm×20 μm～20 μm×80 μmであり、MgO厚0.8 nm以上のすべての中心電極に対して、電流電圧特性はトンネル接合に特有の非線形性を示すことから、プロセスダメージの少ない素子作製プロセスといえます。

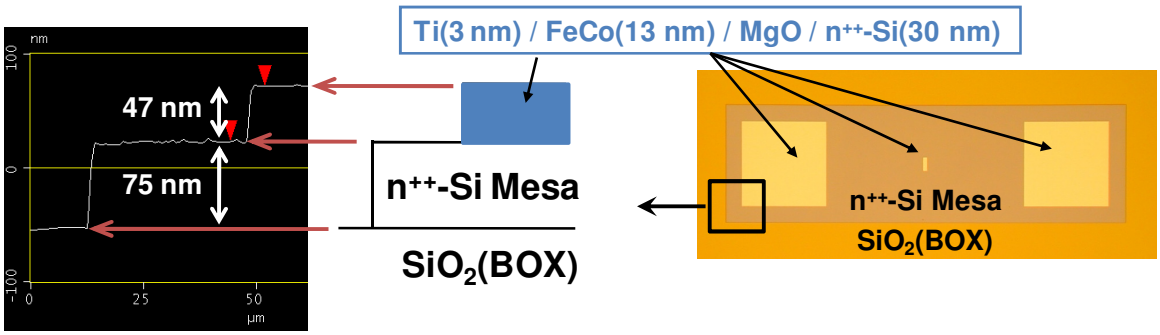



図3. スピン注入評価用の素子分離型三端子素子.

## 4. シリコンスピンデバイスの設計指針:トンネル接合における非対称ポテンシャル障壁の効果の実証

前述のMgO薄膜に対する表面ポテンシャルの測定と結果の解析がヒントとなり、トンネル障壁のポテンシャル形状を非対称化することによる効果、すなわち、スピン注入の高効率化のアイディアが生まれました。図4は、ポテンシャル障壁の非対称性（$\phi_1/\phi_2$）を考慮したスピン注入の量子力学計算を行うためのモデルで、“強磁性層側のポテンシャル障壁高さ（$\phi_1$）をシリコン側の障壁高さ（$\phi_2$）に比べ高く設計（$\phi_1>\phi_2$）する”ことにより、スピン注入効率が向上する計算結果を得ました[11)]。

一方、MgO/Si系のポテンシャル測定結果をフロンティア軌道理論を用いて考察し、接合界面に大きな界面分極が存在すること、さらに熱処理でその界面分極が低減することを見出しています[12)]。

これらの基礎的な検討から得られた知見とウエットプロセスによる素子作製技術を用い、熱処理によるMgOトンネル障壁のポテンシャル変化とスピン注入特性の関係を検討した結果、予想されたスピン注入による信号の出力値の向上を確認しました。図5は、ハンレ効果と呼ばれる外部磁場によるスピンの緩和に伴う信号の出力変化を測定した結果であり、熱処理温度の上昇に伴い出力が約2倍に増大したことを示しています。この実験を系統的に行うことにより、非対称ポテンシャル障壁の効果を実証するに至っています[13)]。

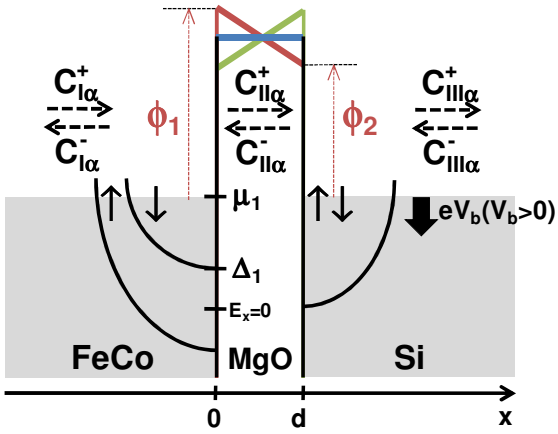



図4. トンネル接合におけるポテンシャル障壁の非対称性（$\phi_1/\phi_2$）を考慮したスピン注入の量子力学計算モデル[11)].

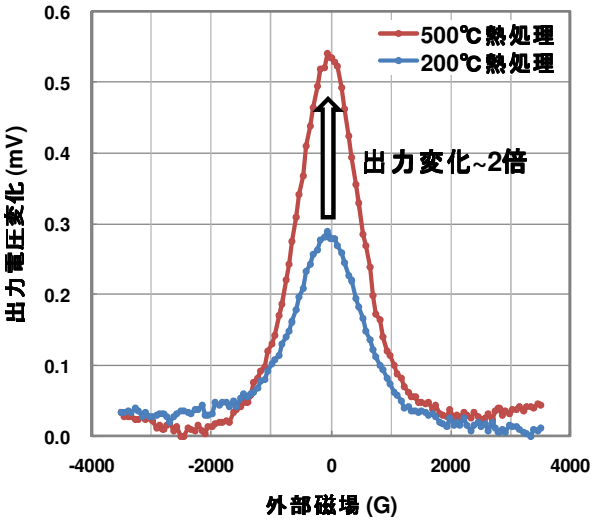



図5. ハンレ効果によるスピン注入特性の室温測定結果.

## 【今後の研究の展望】

トンネル障壁とシリコンの界面に形成される界面分極や障壁のポテンシャル形状の制御は、半導体スピンデバイスにおけるキーとなる技術です。本研究で構築した表面ポテンシャルの測定系は、界面の状態をその場観察による評価ができ、かつ高精度であることから、半導体スピンデバイスの研究開発における重要な指針が得られるものと期待されます。シリコンへのさらなる高効率なスピン注入を実現するため、今後、界面とデバイス特性との関係を検討し、シリコンスピントランジスターの研究開発の進展に貢献したいと考えています。さらに、本研究による知見・経験等を活かした技術支援活動を行うとともに、企業との共同研究による技術展開を目指したいと考えています。

## 【謝辞】

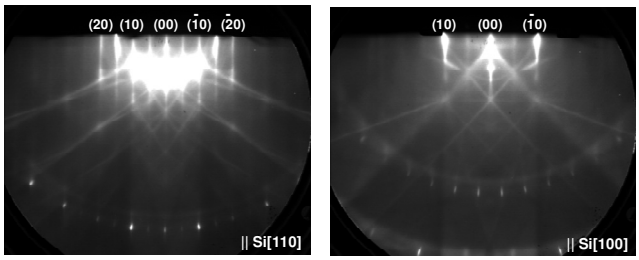
本研究の一部は、JSPS科研費26600080の助成を受けたものです。

## 【補足説明】

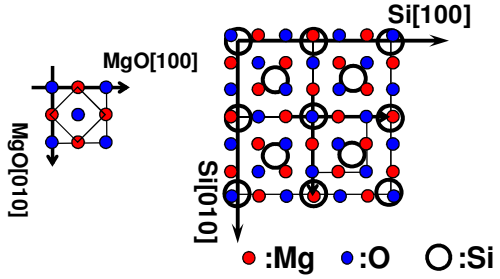
1) 秋田魁新報2011年3月11日第一面,
“電子「スピン」の情報伝達, 世界初常温でも実証, 県産総研やTDK, 阪大”.

2) T. Suzuki, T. Sasaki, T. Oikawa, M. Shiraishi, Y. Suzuki, and K. Noguchi, Appl. Phys. Express, 4(2001)023003, “Room-Temperature Electron Spin Transport in a Highly Doped Si Channel”.

3) 右図は本研究によるSi(100) の規則化2×1再構成面の反射高速電子回折（RHEED）パターン. それぞれ, Si[110]方位とSi[100]方位から観測. 1/2次, 1次のラウエスポットが鮮明に観測されており, 原子レベルの平坦面であることを示す.

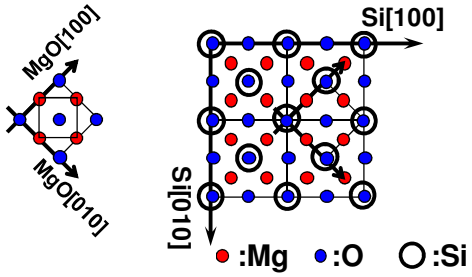



4) 非整合配列（既知）




MgO(100)結晶面の[100]方位（左図）と
Si(100)結晶面の[100]方位が平行（右図）.

5) 整合配列（本研究）




MgO(100)結晶面の[100]方位（左図）と
Si(100)結晶面の[100]方位が45°をなす（右図）.

6) 2013年真空・表面科学合同講演会, 26Fp12, “Si[100](100)基板におけるMgO[110](100)薄膜のエピタキシャル成長”, 鈴木淑男.
7) 米国特許US8586216B2.
8) X線反射率法. 当センターの“薄膜構造評価用高輝度X線回折装置のご案内”（2015年5月1日先端機能素子開発部）をご参考願います.
9) 電子スピン共鳴. 当センターの“電子スピン共鳴装置のご案内”（2016年3月2日先端機能素子開発部）をご参考願います.
10) 2013年真空・表面科学合同講演会, 27P052, “MgO/Si(100)構造における仕事関数のMgO膜厚依存性”, 鈴木淑男.
11) 第63回応用物理学会春季学術講演会2016, 19p-P1-30, “Effects of Asymmetrical Potential Barriers on Spin Injection into Nonmagnet”, Toshio SUZUKI.
12) 2015年真空・表面科学合同講演会, 1P58, “Si(100)上のMgO超薄膜における表面ポテンシャルエネルギーのアニールによる変化”, 鈴木淑男.
13) 第65回応用物理学会春季学術講演会2018, 17p-P10-29, “Spin Signals in 3-Terminal Geometry of Tunnel Junctions with a Heat-Treated MgO/Si Interface”, Toshio SUZUKI.